

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07326963 A**(43) Date of publication of application: **12 . 12 . 95**

(51) Int. Cl.

H03L 7/06
H04L 7/033
(21) Application number: **06119050**(22) Date of filing: **31 . 05 . 94**(71) Applicant: **NISSIN ELECTRIC CO LTD**(72) Inventor: **YAMADA YOJI**(54) **DIGITAL PLL CIRCUIT**

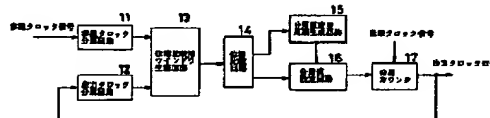
(57) Abstract:

PURPOSE: To reduce the jitter of an output clock signal by frequency-dividing a reference clock signal supplied from outside by a frequency dividing circuit, frequency-dividing a standard clock signal by an output clock frequency dividing circuit, and supplying both of the obtained frequency dividing signals to a phase comparison circuit through a window generation circuit for comparing phases.

CONSTITUTION: This digital PLL circuit is provided with a frequency dividing counter 17 for preparing the output clock signal, a reference clock frequency dividing circuit 11 for frequency-dividing the reference clock signal and the output clock frequency dividing circuit 12 for frequency-dividing the output clock signal so as to detect the phase difference between the output signals of the circuits 11 and 12 by way of the window generation circuit 13 for comparing phases by the phase comparing circuit 14. When setting a frequency dividing value by a frequency dividing value setting circuit 16, one of a stationary value, a value obtained by subtracting a fixed minute quantity from the stationary value and a value obtained by adding a fixed minute quantity to the stationary value is selectively set counter 17. A frequency dividing value changing period for changing the value by the counter 17 to the minute

quantity subtracted value or the minute quantity added value is generated by a frequency dividing value changing period generation circuit 15.

COPYRIGHT: (C)1995,JPO



(11)特許出願公開番号

特開平7-326963

(43)公開日 平成7年(1995)12月12日

(51)Int.Cl. ^a	識別記号	序内整理番号	F I	技術表示箇所
H 0 3 L 7/06				
H 0 4 L 7/033				
			H 0 3 L 7/ 06	H
			H 0 4 L 7/ 02	B
			審査請求 未請求 請求項の数1	OL (全 10 頁)

(21)出願番号 特願平6-119050

(22)出願日 平成6年(1994)5月31日

(71)出願人 000003942

日新電機株式会社

京都府京都市右京区梅津高畝町47番地

(72)発明者 山田 洋治

京都市右京区梅津高畝町47番地 日新電機
株式会社内

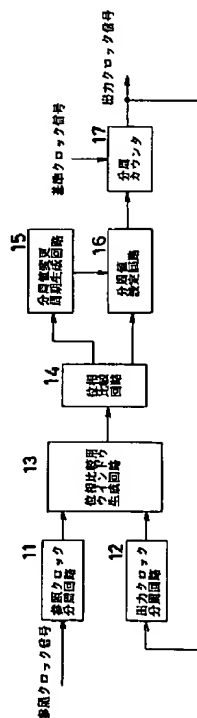
(74)代理人 弁理士 宮井 暎夫

(54) 【発明の名称】 デジタルPLL回路

(57) 【要約】

【目的】 出力クロック信号のジッタを少なくして伝送装置等のクロック信号を利用する機器への悪影響を少なくする。

【構成】 出力クロック信号を作成する分周カウンタ 17 を設け、参照クロック信号を分周する参照クロック分周回路 11 を設け、出力クロック信号を分周する出力クロック分周回路 12 を設け、参照クロック分周回路 11 の出力信号と出力クロック分周回路 12 の出力信号との位相差を検出する位相比較回路 14 を設け、分周カウンタ 17 に定常値、定常値より一定微少量減少した値および定常値より一定微少量増加した値のいずれかを選択的に分周値として設定する分周値設定回路 16 を設け、分周値設定回路 16 が分周カウンタ 17 に設定する分周値を定常値から定常値より一定微少量減少した値および定常値より一定微少量増加した値のいずれかに変更する分周値変更周期を生成する分周値変更周期生成回路 15 を設けている。



【特許請求の範囲】

【請求項 1】 基準クロック信号を分周して出力クロック信号を作成する分周カウンタと、

外部から供給される参照クロック信号を分周する参照クロック分周回路と、

前記出力クロック信号を分周する出力クロック分周回路と、

前記参照クロック分周回路の出力信号と前記出力クロック分周回路の出力信号との位相差を検出する位相比較回路と、

前記位相比較回路で位相比較を行わせるためのウィンドウを生成する位相比較用ウィンドウ生成回路と、

前記分周カウンタに定常値、前記定常値より一定微少量減少した値および前記定常値より一定微少量増加した値のいずれかを選択的に分周値として設定する分周値設定回路と、

前記分周値設定回路が前記分周カウンタに設定する分周値を前記定常値から前記定常値より一定微少量減少した値および前記定常値より一定微少量増加した値のいずれかに変更する分周値変更周期を生成する分周値変更周期生成回路とを備え、

前記分周値設定回路は、前記位相比較回路の位相比較結果に基づき、前記出力クロック分周回路の出力信号の位相が前記参照クロック分周回路の出力信号の位相とほぼ一致しているときに前記分周カウンタの分周値を継続的に前記定常値とし、前記出力クロック分周回路の出力信号の位相が前記参照クロック分周回路の出力信号の位相に対して遅れているときに前記分周カウンタの分周値を所定の分周値変更周期で前記定常値から前記定常値より一定微少量減少した値へ変更し、前記出力クロック分周回路の出力信号の位相が前記参照クロック分周回路の出力信号の位相に対して進んでいるときは前記分周カウンタの分周値を所定の分周値変更周期で前記定常値から前記定常値より一定微少量増加した値へ変更するようにし、

前記分周値変更周期生成回路は、前記位相比較回路の位相比較結果に基づき、前記出力クロック分周回路の出力信号と前記参照クロック分周回路の出力信号との位相差の絶対値が大きいときに前記分周値変更周期を短くし、前記出力クロック分周回路の出力信号と前記参照クロック分周回路の出力信号との位相差の絶対値が小さいときに前記分周値変更周期を長くするようにしたことを特徴とするデジタル PLL 回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、例えば伝送装置に内蔵されるデジタル PLL 回路に関するものである。

【0002】

【従来の技術】 図 5 に従来のデジタル PLL 回路のブロック図を示す。図 5 において、17 は基準クロック信号

2

を分周して出力クロック信号を作成する分周カウンタである。11 は外部から供給される参照クロック信号を分周する参照クロック分周回路である。12 は出力クロック信号を分周する出力クロック分周回路である。14 は参照クロック分周回路 11 の出力信号と出力クロック分周回路 12 の出力信号との位相差を検出する位相比較回路である。13 は位相比較回路で位相比較を行わせるためのウィンドウを生成する位相比較用ウィンドウ生成回路である。16' は位相比較回路 14 の位相比較結果に基づいて分周カウンタ 17 に対して分周値として定常値あるいは定常値より位相差分だけ異なる値を設定する分周値設定回路である。

【0003】 上記の分周値設定回路 16' は、出力クロック分周回路 12 の出力信号の位相が参照クロック分周回路 11 の出力信号の位相とほぼ一致しているときには、分周値として定常値を設定する。また、出力クロック分周回路 12 の出力信号の位相が参照クロック分周回路 11 の出力信号の位相に対して遅れているときには、分周カウンタ 17 の分周値を定常値より位相差分だけ減少した値に設定する。さらに、出力クロック分周回路 12 の出力信号の位相が参照クロック分周回路 11 の出力信号の位相に対して進んでいるときには、分周カウンタ 17 の分周値を定常値より位相差分だけ増加した値に設定する。

【0004】 このデジタル PLL 回路は、分周カウンタ 17 で基準クロックを分周して出力クロック信号を作成し、外部から供給される参照クロック信号を参照クロック分周回路 11 で分周し、基準クロック信号を分周する分周カウンタ 17 で作成される出力クロック信号を出力クロック分周回路 12 で分周する。そして、参照クロック分周回路 11 および出力クロック分周回路 12 からそれぞれ出力される両分周信号を位相比較用ウィンドウ生成回路 13 を通して位相比較回路 14 に供給してそれらの位相差を検出する。つまり、位相差の検出は、前もって求めておいた位相比較用ウィンドウに照らし合わせて行う。

【0005】 分周値設定回路 16' においては、出力クロック分周回路 12 の出力信号の位相が参照クロック分周回路 11 の出力信号の位相とほぼ一致していると、分周値を継続的に定常値として出力クロック信号の位相が変化しないようにする。また、出力クロック分周回路 12 の出力信号の位相が参照クロック分周回路 11 の出力信号の位相に対して遅れていると、分周カウンタ 17 の分周値を定常値より位相差分だけ減少させることにより出力クロック信号の周期を定常周期より短くして出力クロック分周回路 12 の出力信号の位相の遅れを少なくする。逆に、出力クロック分周回路 12 の出力信号の位相が参照クロック分周回路 11 の出力信号の位相に対して進んでいると、分周カウンタ 17 の分周値を定常値より位相差分だけ増加させることにより出力クロック信号の

周期を定常周期より長くして出力クロック分周回路 1 2 の出力信号の位相の進みを少なくする。これによって参照クロック信号と出力クロック信号との位相同期が図られる。また、分周カウンタ 1 7 の分周値の定常値からの変化幅は、位相差が大きいと大きく設定し、位相差が小さいと小さく設定することにより、出力クロック信号の位相を参照クロック信号の位相に速やかに同期させる。

【0006】

【発明が解決しようとする課題】上記の従来例では、出力クロック信号の位相を参照クロック信号の位相に速やかに同期させるために、出力クロック分周回路 1 2 の出力信号の位相が参照クロック分周回路 1 1 の出力信号の位相からずれたときに、一時的に出力クロック信号の周期を出力クロック分周回路 1 2 の出力信号および参照クロック分周回路 1 1 の出力信号の位相差に応じて変化させる構成を採用していたので、上記の位相差が大きいときは、出力クロック信号の周期も大きく変化することになり、出力クロック信号のジッタが大きくなって伝送装置がデータ同期外れを起こし、伝送されたデータを正確に取り込むことができなくなる等、悪影響を与えるおそれがあった。

【0007】したがって、この発明の目的は、出力クロック信号のジッタを少なくして伝送装置等のクロック信号を利用する機器への悪影響を少なくすることができるデジタル PLL 回路を提供することである。

【0008】

【課題を解決するための手段】この発明は、上記の問題に鑑みてなされたもので、出力クロック信号の周期を変化させる幅を一定微少量とし、出力クロック信号の周期を定常周期から一定微少量変化させる周期（分周値変更周期）を位相差の大きさに応じて変化させる回路を組み込む。すなわち、位相差が大きいときには、周期変更を行う周期を短くし、位相差が小さいときには周期変更を行う周期を長くする。つまり、出力クロック信号の周期を変化させる幅は一定とし、その周期変更を行う間隔を位相差の大きさに応じて変化させることにより、位相差が大きいときでも、出力クロック信号の周期変化は少なく抑えることができ、ジッタが減少する。位相差が大きいときでも、位相同期は素早くできる。

【0009】以下、請求項の内容に即して説明する。この発明のデジタル PLL 回路は、基準クロック信号を分周して出力クロック信号を作成する分周カウンタを設け、外部から供給される参照クロック信号を分周する参照クロック分周回路を設け、出力クロック信号を分周する出力クロック分周回路を設け、参照クロック分周回路の出力信号と出力クロック分周回路の出力信号との位相差を検出する位相比較回路を設け、位相比較回路で位相比較を行わせるためのウィンドウを生成する位相比較用ウィンドウ生成回路を設け、分周カウンタに定常値、定常値より一定微少量減少した値および定常値より一定微

少量増加した値のいずれかを選択的に分周値として設定する分周値設定回路を設け、分周値設定回路が分周カウンタに設定する分周値を定常値から定常値より一定微少量減少した値および定常値より一定微少量増加した値のいずれかに変更する分周値変更周期を生成する分周値変更周期生成回路を設けている。

【0010】分周値設定回路は、位相比較回路の位相比較結果に基づき、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相とほぼ一致しているときに分周カウンタの分周値を継続的に定常値とし、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に対して遅れているときに分周カウンタの分周値を所定の分周値変更周期で定常値から定常値より一定微少量減少した値へ変更し、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に対して進んでいるときは分周カウンタの分周値を所定の分周値変更周期で定常値から定常値より一定微少量増加した値へ変更するようにしている。

【0011】分周値変更周期生成回路は、位相比較回路の位相比較結果に基づき、出力クロック分周回路の出力信号と参照クロック分周回路の出力信号との位相差の絶対値が大きいときに分周値変更周期を短くし、出力クロック分周回路の出力信号と参照クロック分周回路の出力信号との位相差の絶対値が小さいときに分周値変更周期を長くするようにしている。

【0012】

【作用】この発明の構成によれば、外部から供給される参照クロック信号を参照クロック分周回路で分周し、基準クロック信号を分周する分周カウンタで作成される出力クロック信号を出力クロック分周回路で分周する。そして、参照クロック分周回路および出力クロック分周回路からそれぞれ出力される両分周信号を位相比較用ウィンドウ生成回路を通して位相比較回路に供給してそれらの位相差を検出する。

【0013】分周値設定回路は、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相とほぼ一致していると、分周カウンタの分周値を継続的に定常値とすることにより、出力クロック信号の周期を定常周期に保って位相が変化しないようにする。また、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に対して遅れていると、分周カウンタの分周値を所定の分周値変更周期で定常値から定常値より一定微少量減少した値へ変更することにより出力クロック信号の周期を間欠的に定常周期より短くして出力クロック分周回路の出力信号の位相の遅れを少なくする。逆に、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に対して進んでいると、分周カウンタの分周値を所定の分周値変更周期で定常値から定常値より一定微少量増加した値へ

変更することにより出力クロック信号の周期を間欠的に定常周期より長くして出力クロック分周回路の出力信号の位相の進みを少なくする。

【0014】分周値変更周期生成回路は、出力クロック分周回路の出力信号と参照クロック分周回路の出力信号との位相差の絶対値が大きいと、分周値変更周期を短くして出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に近づく速度を大きくする。また、出力クロック分周回路の出力信号と参照クロック分周回路の出力信号との位相差の絶対値が小さいと、分周値変更周期を長くして出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に近づく速度を小さくする。

【0015】

【実施例】以下、この発明の実施例を図面を参照しながら説明する。図1にこの発明の一実施例のデジタルPLL回路のブロック図を示す。図1において、17は基準クロック信号を分周して出力クロック信号を作成する分周カウンタである。11は外部から供給される参照クロック信号を分周する参照クロック分周回路である。12は出力クロック信号を分周する出力クロック分周回路である。14は参照クロック分周回路11の出力信号と出力クロック分周回路12の出力信号との位相差を検出する位相比較回路である。13は位相比較回路14で位相比較を行わせるためのウィンドウを生成する位相比較用ウィンドウ生成回路である。16は分周カウンタ17に定常値、定常値より一定微少量減少した値および定常値より一定微少量増加した値のいずれかを選択的に分周値として設定する分周値設定回路である。16は分周値設定回路16が分周カウンタ17に設定する分周値を定常値から定常値より一定微少量減少した値および定常値より一定微少量増加した値のいずれかに変更する分周値変更周期を生成する分周値変更周期生成回路である。

【0016】上記の分周値設定回路16は、位相比較回路14の位相比較結果に基づき、出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相とほぼ一致しているときに分周カウンタ17の分周値を継続的に定常値とし、出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に対して遅れているときに分周カウンタ17の分周値を所定の分周値変更周期で定常値から定常値より一定微少量減少した値へ変更し、出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に対して進んでいるときは分周カウンタ17の分周値を所定の分周値変更周期で定常値から定常値より一定微少量増加した値へ変更するようにしている。

【0017】分周値変更周期生成回路15は、位相比較回路14の位相比較結果に基づき、出力クロック分周回路12の出力信号と参照クロック分周回路11の出力信

号との位相差の絶対値が大きいときに分周値変更周期を短くし、出力クロック分周回路12の出力信号と参照クロック分周回路11の出力信号との位相差の絶対値が小さいときに分周値変更周期を長くするようにしている。

【0018】このデジタルPLL回路では、外部から供給される参照クロック信号を参照クロック分周回路11で分周し、基準クロック信号を分周する分周カウンタ17で作成される出力クロック信号を出力クロック分周回路12で分周する。そして、参照クロック分周回路11および出力クロック分周回路12からそれぞれ出力される両分周信号を位相比較用ウィンドウ生成回路13を通して位相比較回路14に供給してそれらの位相差を検出する。

【0019】分周値設定回路16は、分周カウンタ17に定常値、定常値より一定微少量減少した値および定常値より一定微少量増加した値のいずれかを選択的に分周値として設定するが、位相比較回路14の位相比較結果に基づき、出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相とほぼ一致しているときに分周カウンタ17の分周値を継続的に定常値とすることにより、出力クロック信号の周期を定常周期に保って位相が変化しないようにし、出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に対して遅れていると、分周カウンタ17の分周値を所定の分周値変更周期で定常値から定常値より一定微少量減少した値へ変更することにより出力クロック信号の周期を間欠的に定常周期より短くして出力クロック分周回路12の出力信号の位相の遅れを少なくし、逆に出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に対して進んでいると、分周カウンタ17の分周値を所定の分周値変更周期で定常値から定常値より一定微少量増加した値へ変更することにより出力クロック信号の周期を間欠的に定常周期より長くして出力クロック分周回路12の出力信号の位相の進みを少なくする。

【0020】分周値変更周期生成回路15は、分周値設定回路16が分周カウンタ17に設定する分周値を定常値から定常値より一定微少量減少した値および定常値より一定微少量増加した値のいずれかに変更する分周値変更周期を生成するが、位相比較回路14の位相比較結果に基づき、出力クロック分周回路12の出力信号と参照クロック分周回路11の出力信号との位相差の絶対値が大きいと、分周値変更周期を短くして出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に近づく速度を大きくし、出力クロック分周回路12の出力信号と参照クロック分周回路11の出力信号との位相差の絶対値が小さいと、分周値変更周期を長くして出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に近づく速度を小さくする。

【0021】以下、この実施例のデジタルPLL回路を図2の具体的な回路図を参照しながら詳細に説明する。図2において、310は参照クロック信号C-REFを45分周する45分周回路で、図1の参照クロック分周回路11に相当する。320は出力クロック信号C-BASを67分周する67分周回路で、図1の出力クロック分周回路12に相当する。上記45分周回路310および67分周回路320は、参照クロック信号C-REFおよび出力クロック信号C-BASが同一周波数でない場合に、各々の分周出力信号の周波数を周波数を合致させるために、一方は45分周とし、他方は67分周としている。なお、これらの分周値は、参照クロック信号C-REFおよび出力クロック信号C-BASの周波数に対応して適宜設定される。

【0022】311は45分周回路310の分周出力信号をデータ入力とし制御用クロック信号をクロック入力とするDフリップフロップで、45分周回路310の分周出力信号の立ち上がりおよび立ち下りを制御用クロック信号に同期させる機能を有し、分周信号REFを発生する。なお、制御用クロック信号は参照クロック信号C-REFおよび出力クロック信号C-BASの周波数と同程度かあるいはその数倍程度の周波数で十分である。

【0023】330はDフリップフロップ311の出力信号をデータ入力とし制御用クロック信号をクロック入力とするDフリップフロップで、Dフリップフロップ311の出力を制御用クロック信号の1周期分シフトする機能を有する。331はDフリップフロップ311の出力とDフリップフロップ330の反転出力との論理積をとるアンドゲートで、その出力信号REF-Pは分周信号REFの立ち上がりのタイミングで発生する。つまり、Dフリップフロップ330とアンドゲート331は、分周信号REFの立ち上がりを検出する機能を有する。

【0024】332は5ビットのバイナリカウンタで、分周信号REFがハイレベルの期間、制御用クロック信号をカウントする動作をし、そのカウント値に対応したウィンドウ信号REF-Q3, REF-Q4を出力する。321は67分周回路320の分周出力信号をデータ入力とし制御用クロック信号をクロック入力とするDフリップフロップで、67分周回路320の分周出力信号の立ち上がりおよび立ち下りを制御用クロック信号に同期させる機能を有し、分周信号BASを発生する。

【0025】335はDフリップフロップ321の出力信号をデータ入力とし制御用クロック信号をクロック入力とするDフリップフロップで、Dフリップフロップ321の出力を制御用クロック信号の1周期分シフトする機能を有する。336はDフリップフロップ321の出力とDフリップフロップ335の反転出力との論理積をとるアンドゲートで、その出力信号BAS-Pは分周信号BASの立ち上がりのタイミングで発生する。つま

り、Dフリップフロップ335とアンドゲート336は、分周信号BASの立ち上がりを検出する機能を有する。

【0026】337は5ビットのバイナリカウンタで、分周信号BASがハイレベルの期間、制御用クロック信号をカウントする動作をし、そのカウント値に対応したウィンドウ信号BAS-Q3, REF-Q4を出力する。以上のDフリップフロップ311, 321, 330, 335, アンドゲート331, 336, バイナリカウンタ332, 337は、図1における位相比較用ウィンドウ生成回路13を構成している。

【0027】340, 341はそれぞれラッチで、分周信号BASの立ち上がりのタイミング、つまり信号BAS-Pにตอบสนองしてウィンドウ信号REF-Q3, REF-Q4の状態を保持する機能を有し、ラッチ340からは出力信号P-Aを発生し、ラッチ341からは出力信号P-Bを発生する。342, 343はそれぞれラッチで、分周信号REFの立ち上がりのタイミング、つまり信号REF-Pにตอบสนองしてウィンドウ信号BAS-Q3, BAS-Q4の状態を保持する機能を有し、ラッチ342からは出力信号P-Cを発生し、ラッチ341からは出力信号P-Dを発生する。各ラッチ340~343の出力信号P-A, P-B, P-C, P-Dは分周信号BASの分周信号BASに対する位相の進みまたは遅れ、位相差の大小によって異なる。

【0028】344は位相差決定デコード回路で、ラッチ340~343の出力信号P-A, P-B, P-C, P-Dを位相差の進み遅れを示す出力信号U-D, 制御を行うか否かを示す出力信号PSおよび位相差の大小を示す出力信号W1に変換する。以上のラッチ340~343および位相差決定デコード回路344は図1の位相比較回路14を構成している。

【0029】350は3ビットのプリセットブルカウンタで、図1の分周値変更周期生成回路16を構成しており、位相差決定デコード回路344の出力信号W1が“H”（または“1”）のときは“100”をプリセットし、位相差決定デコード回路344の出力信号W1が“L”（または“0”）のときは“000”をプリセットする。したがって、出力信号W1が“H”のときは、出力クロック信号を4個カウントしたときに、出力信号CTRL-Pを発生し、出力信号W1が“L”のときは、出力クロック信号を8個カウントしたときに、出力信号CTRL-Pを発生する。つまり、位相差が大きいたまは、出力クロック信号の4周期を1周期とする分周値変更周期を生成し、位相差が小さいときは、出力クロック信号の8周期を1周期とする分周値変更周期を生成する。

【0030】360はラッチ、361~363はアンドゲート、364はオアゲート、365は3ビットのラッチで、これらは図1の分周値設定回路を構成して、

位相差決定デコード回路344の出力信号U-D, PSとプリセッタブルカウンタ350の出力信号CTRL-Pとを入力として、分周値を15, 16, 17のいずれかに設定する。

【0031】この場合、出力信号PSが“L”（または“0”）ときは分周値を常に16に設定する。また、出力信号PSが“H”（または“1”）で、出力信号U-Dが“H”（または“1”）のときは、出力信号CTRL-Pが“L”のときに分周値を16に設定し、出力信号CTRL-Pが“H”のときに分周値を15に設定する。また、出力信号PSが“H”（または“1”）で、出力信号U-Dが“L”（または“0”）のときは、出力信号CTRL-Pが“L”のときに分周値を16に設定し、出力信号CTRL-Pが“H”のときに分周値を17に設定する。なお、出力信号CTRL-Pは、出力信号W1が“H”（または“1”）は、出力クロック信号C-BASの4周期に1回の割合で“H”（または“1”）となり、出力信号W1が“L”（または“0”）は、出力クロック信号C-BASの8周期に1回の割合で“H”（または“1”）となる。

【0032】したがって、出力信号PSが“H”（または“1”）で、出力信号U-Dが“H”（または“1”）で、出力信号W1が“H”（または“1”）のときは、出力クロック信号C-BASの4周期に1回の割合で分周値が16から15に変わる。また、出力信号PSが“H”（または“1”）で、出力信号U-Dが“L”（または“0”）で、出力信号W1が“H”（または“1”）のときは、出力クロック信号C-BASの8周期に1回の割合で分周値が16から15に変わる。また、出力信号PSが“H”（または“1”）で、出力信号U-Dが“L”（または“0”）で、出力信号W1が“L”（または“0”）のときは、出力クロック信号C-BASの8周期に1回の割合で分周値が16から17に変わる。また、上記したとおり、出力信号PSが“L”（または“0”）のときは出力クロック信号C-BASの全周期にわたって分周値が16を維持する。

【0033】370はプリセッタブルカウンタ350で設定された分周値BAS-Lで基準クロック信号C0-BASを分周して出力クロック信号C-BASを発生する5ビットのプリセッタブルカウンタで、図1の分周カウンタ17を構成している。371はプリセッタブルカウンタ370のキャリー出力信号BAS-TCから基準クロック信号C0-BASに同期した信号BAS-PCを作成するDフリップフロップである。

【0034】ここで、図3および図4のタイムチャート

を参照しながら、図2のデジタルPLL回路の動作を説明する。まず、位相比較用ウィンドウの生成および位相比較動作を図4のタイムチャートを参照して説明する。参照クロック信号C-REFを45分周した信号を、同期化するためにDフリップフロップ311に通し、分周信号REFとする。そして、フリップフロップ330を通した信号と分周信号REFとをアンドゲート331に通すことにより、分周信号REFの立ち上がりを示す信号REF-Pが生成される（図3の矢符（a）参照）。

【0035】また、分周信号REFが“H”の間バイナリカウンタ332を進めることにより、例えばQ3, Q4に、ウィンドウ信号REF-Q3, REF-Q4が生成される（図3の矢符（b）参照）。同様に、出力クロック信号C-BASに対しても、分周信号BAS、立ち上がり示す信号BAS-P、ウィンドウ信号BAS-Q3, BAS-Q4を生成する。

【0036】また、分周信号BASと分周信号REFの位相差を決定するため、立ち上がりを示す信号BAS-Pが“H”のときのウィンドウ信号REF-Q3, REF-Q4の状態をそれぞれラッチし、同様に立ち上がりを示す信号REF-Pが“H”のときのウィンドウ信号BAS-Q3, BAS-Q4の状態をそれぞれラッチ340~343で保持する。

【0037】図3のタイムチャートでは、出力クロック信号C-BASの分周信号BASが参照クロック信号C-REFの分周信号REFより遅れている状態を示しているため、出力クロック信号C-BASの分周信号BASの立ち上がりを示す信号BAS-Pが“H”のときには、対する参照クロック信号C-REFの分周信号REF側のウィンドウ信号REF-Q4が“H”になっており、ラッチ341の出力信号P-Bが“H”になる（図3の矢符（c）参照）。ウィンドウ信号REF-Q4が“L”になっており、ラッチ340の出力信号P-Aが“L”のままである。

【0038】参照クロック信号C-REFの分周信号REFの立ち上がりを示す信号REF-Pが“H”のときには、対する出力クロック信号C-BASの分周信号BAS側のウィンドウ信号BAS-Q3, BAS-Q4は何れも“L”のままである。したがって、ラッチ342, 343の出力信号P-C, P-Dはいずれも“L”のままである。

【0039】このラッチ340~343の出力信号P-A, P-B, P-C, P-Dを分周信号の周期で、つまり信号REF-P, BAS-Pにตอบสนองしてデコードおよび保持することで、分周信号BAS, REFの位相差を検出することができる。図2のデジタルPLL回路の位相差決定デコード回路344の一例の真理値表を表1に示す。

【0040】

【表1】

P-A	P-B	P-C	P-D	PS	U-D	W1
L	L	L	L	L	L	L
H	L	×	×	H	H	L
×	H	×	×	H	H	H
×	×	H	L	H	L	L
×	×	×	H	H	L	H

ただし、×は不定である。

【0041】この表1に従ったデコードにより、位相差決定デコード回路344の出力信号は、(PS, U-D, W1) = (H, H, H) または “111” が、例えば分周信号REFの立ち上がりを示す信号REF-Pのタイミングに同期して位相差決定デコード回路344から出力される(図3の矢符(d)参照)。また、出力クロック信号C-BASの分周信号BASの位相の遅れが図3よりも少ないと、出力クロック信号側の立ち上がりを示す信号BAS-Pのタイミングでのウィンドウ信号はREF-Q3 = “H” となり、REF-Q4 = “L” となり、デコード結果は(PS, U-D, W1) = (H, H, L) となる。

【0042】さらに、位相遅れが少なくなると、(PS, U-D, W1) = (L, L, L) となる。逆に、出力クロックの位相が進むと、デコード結果は(PS, U-D, W1) = (L, L, L), (H, L, L), (H, L, H) のようになる。つぎに、出力クロック周期決定の動作を図4のタイムチャートを参照して説明する。

【0043】動作の説明に先立って、分周値変更周期生成回路および分周値設定回路について再度簡単に説明する。出力クロックの周期を決める分周カウンタ17の一例として、5ビットのプリセッタブル・カウンタ370を使い、このプリセッタブル・カウンタ370で基準クロックを15個、16個、17個のいずれかのカウントを行う例を示した。分周値を決める回路の一例として、ラッチ360、アンドゲート361、362、363、オアゲート364からなるデコード回路とラッチ回路365の組み合わせを示す。分周値変更の周期を決める回路の一例として、3ビットのプリセッタブル・カウンタ350を使った分周値変更周期生成回路15を示す。変更周期生成回路350は、出力クロックに同期して発生する信号BAS-PCを、先の位相比較回路(ラッチ340~343)で検出した位相差の大きさを示す出力信号W1によって決まる値にしたがってカウントし、周期を決める。その周期信号は信号CTRL-Pとして出力される。

【0044】ここの例では、位相差決定デコード回路344の出力として、位相差の大きさを示す出力信号W1

があり、図4ではW1 = “H” が入力されている。したがって、分周値変更周期生成用のプリセッタブルカウンタ350のプリセット値として、“100” が入力されることになる(図4の矢符(e)参照)。よって、ラッチ371から出力される信号BAS-PCを4カウントする周期で信号CTRL-Pが出力される(図4の矢符(f)参照)。信号BAS-PCは、信号BAS-TCを基準クロックC0-BASの1個分シフトしたものである。

【0045】先に述べたように、位相差が大きくなると、W1 = “H” となり、位相差が小さくなると、W1 = “L” となる。W1 = “H” ときは、CTRL-P信号の周期は4になり、W1 = “L” ときは、プリセッタブルカウンタ350のプリセット値として、“000” が入力されるので、信号CTRL-Pの周期は8になる。信号INT-Qはプリセッタブルカウンタ350のカウント値を示している。

【0046】分周値設定回路16であるラッチ360、アンドゲート361、362、363、オアゲート364からなるデコード回路とラッチ回路365の組み合わせの回路は、先の信号CTRL-Pと位相差決定デコード回路344の出力信号U-D、PSからデコードし、分周値(15、16、17のいずれか)を決める(図4の矢符(g)参照)。なお、BAS-LDはラッチ365の入力であり、BAS-Lはプリセッタブルカウンタ370のプリセット入力である。

【0047】そして、信号CTRL-Pが“H” になった次の周期のみ出力クロック信号C-BASの周期を決めるプリセッタブルカウンタ370へ“10001” がプリセットされ、出力クロック信号C-BASの周期は通常より短い「15」になる。これで、出力クロック信号C-BASの分周信号BASの位相が早くなり、参照クロック信号C-REFの分周信号REFとの遅れ位相が少なくなる。

【0048】その他の周期では、つまり信号CTRL-Pが“L” のときは、プリセッタブルカウンタ370へ“10000” がプリセットされ、出力クロック信号C-BASの周期は通常の「16」になる(図4の矢符(i)参照)。逆に、出力クロック信号C-BASの分

周信号BASが参照クロック信号C-REFの分周信号REFよりも位相が早い場合、位相差決定デコード回路344からの出力信号は、(PS, U-D, W1) = (H, L, L)または(H, L, H)になり、プリセッタブルカウンタ370へのプリセット値は“01111”となり、出力クロック信号C-BASの周期は「17」と長くなる。なお、周期「17」になるのが、4回に1回あるは8回に1回であるのは、上記と同様である。

【0049】また、両分周信号BAS, REFの位相がほとんど同じ場合には、位相差決定デコード回路344からの出力信号は、(PS, U-D, W1) = (L, L, L)となり、常にプリセッタブルカウンタ370へのプリセット値は“10000”になるため、出力クロックの周期は「16」で一定になる。以上より、位相差が大きい場合は、出力クロックの周期を「15」または「17」にするタイミングを4回に1回の割合で変更し、位相差が少ない場合には、8回に1回の割合で変更することになる。

【0050】出力クロック信号C-BASの周期変動は、15, 16, 17のみであって少ないが、位相差が大きい場合は周期変更周期を短くして周期変更の割合を多くするので、同期引き込みを早くすることができる。この実施例によれば、出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相とほぼ一致しているときに分周カウンタ17の分周値を継続的に定常値とすることにより、出力クロック信号の周期を定常周期に保って位相が変化しないようにし、出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に対して遅れているときに分周カウンタ17の分周値を所定の分周値変更周期で定常値から定常値より一定微少量減少した値へ変更することにより、出力クロック信号の周期を間欠的に定常周期より短くして出力クロック分周回路12の出力信号の位相の遅れを少なくし、逆に出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に対して進んでいるときに分周カウンタ17の分周値を所定の分周値変更周期で定常値から定常値より一定微少量増加した値へ変更することにより、出力クロック信号の周期を間欠的に定常周期より長くして出力クロック分周回路12の出力信号の位相の進みを少なくし、かつ、出力クロック分周回路12の出力信号と参照クロック分周回路11の出力信号との位相差の絶対値が大きいときに分周値変更周期を短くして出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位相に近づく速度を大きくし、出力クロック分周回路12の出力信号と参照クロック分周回路11の出力信号との位相差の絶対値が小さいときに分周値変更周期を長くして出力クロック分周回路12の出力信号の位相が参照クロック分周回路11の出力信号の位

相に近づく速度を小さくすることにより、ジッタの少ない出力クロック信号が得られ、伝送装置の同期性能などを向上させることができる。

【0051】なお、この実施例では、位相差が大きいときには4回に1回分周値を変化させ、位相差が小さいときには8回に1回分周値を変化させるようにしたが、分周値を変化させる周期は上記に限らない。例えば位相差が大きいときには2回に1回分周値を変化させ、位相差が小さいときには4回に1回分周値を変化させるようにしてもよく、また、位相差が大きいときには全回分周値を変化させ、位相差が小さいときには2回に1回分周値を変化させるようにしてもよい。

【0052】

【発明の効果】この発明のデジタルPLL回路によれば、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相とほぼ一致しているときに分周カウンタの分周値を継続的に定常値とすることにより、出力クロック信号の周期を定常周期に保って位相が変化しないようにし、出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に対して遅れているときに分周カウンタの分周値を所定の分周値変更周期で定常値から定常値より一定微少量減少した値へ変更することにより、出力クロック信号の周期を間欠的に定常周期より短くして出力クロック分周回路の出力信号の位相の遅れを少なくし、逆に出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に対して進んでいるときに分周カウンタの分周値を所定の分周値変更周期で定常値から定常値より一定微少量増加した値へ変更することにより、出力クロック信号の周期を間欠的に定常周期より長くして出力クロック分周回路の出力信号の位相の進みを少なくし、かつ、出力クロック分周回路の出力信号と参照クロック分周回路の出力信号との位相差の絶対値が大きいときに分周値変更周期を短くして出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に近づく速度を大きくし、出力クロック分周回路の出力信号と参照クロック分周回路の出力信号との位相差の絶対値が小さいときに分周値変更周期を長くして出力クロック分周回路の出力信号の位相が参照クロック分周回路の出力信号の位相に近づく速度を小さくすることにより、ジッタの少ない出力クロック信号が得られ、伝送装置の同期性能などを向上させることができる。

【図面の簡単な説明】

【図1】この発明の一実施例のデジタルPLL回路の構成を示すブロック図である。

【図2】図1のデジタルPLL回路の具体的な回路構成を示す回路図である。

【図3】図2のデジタルPLL回路において位相比較用ウィンドウ生成および位相比較動作を説明するタイムチャートである。

15

【図4】図2のデジタルPLL回路において出力クロック周期設定の様子を示すタイムチャートである。

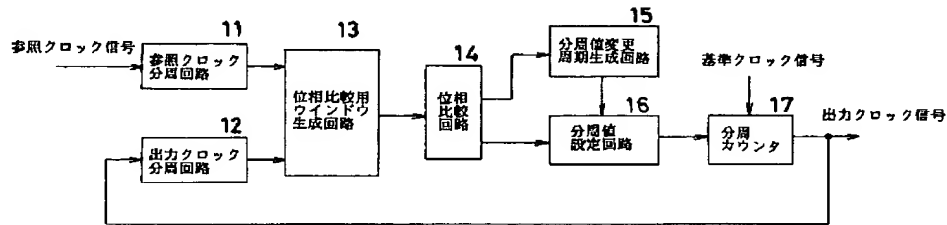
【図5】従来のデジタルPLL回路の一例の構成を示すブロック図である。

【符号の説明】

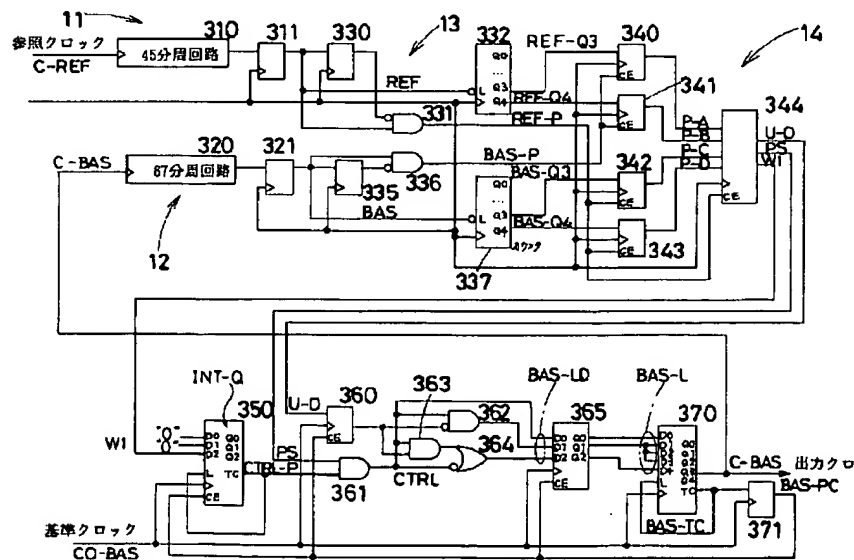
11 参照クロック用分周回路
12 出力クロック用分周回路
13 位相比較用ウィンドウ生成回路
14 位相比較回路
15 分周値変更周期生成回路
16 分周値設定回路
17 分周カウンタ
310 45分周回路
311 Dフリップフロップ
320 67分周回路
321 Dフリップフロップ
330 Dフリップフロップ
331 アンドゲート

332 バイナリカウンタ
335 Dフリップフロップ
336 アンドゲート
337 バイナリカウンタ
340 ラッチ
341 ラッチ
342 ラッチ
343 ラッチ
344 位相差決定デコード回路
10 350 プリセッタブルカウンタ
360 ラッチ
361 アンドゲート
362 アンドゲート
363 アンドゲート
364 オアゲート
365 ラッチ
370 プリセッタブルカウンタ
371 ラッチ

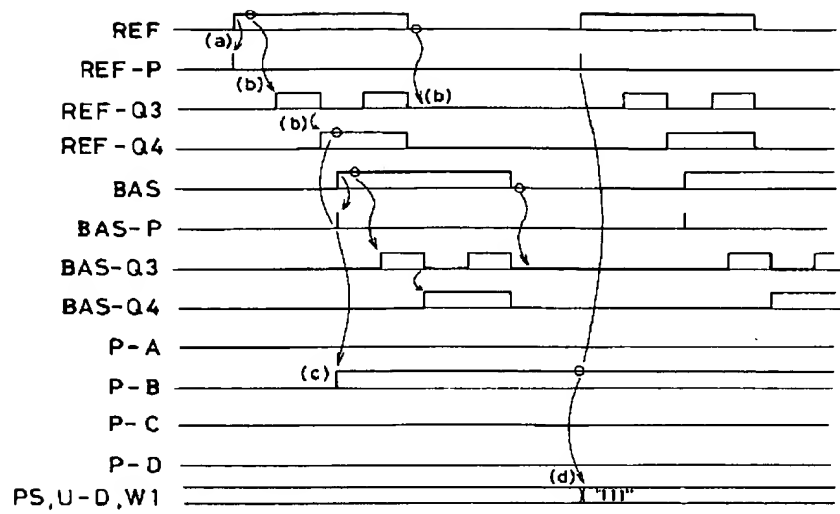
【図1】



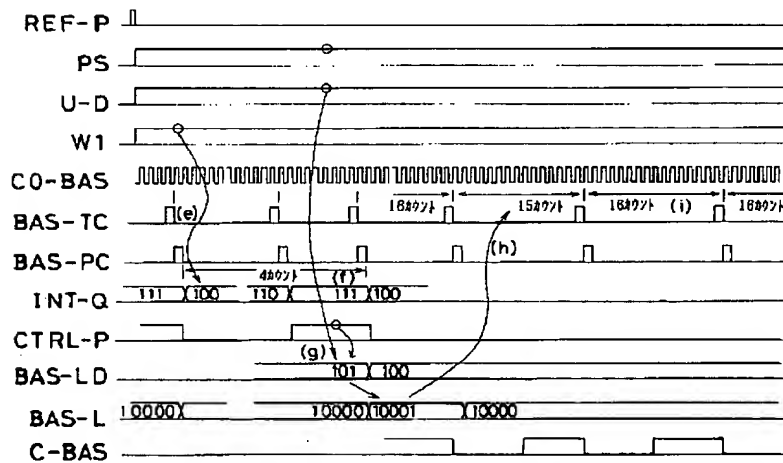
【図2】



【図3】



【図4】



【図5】

